

(19) Japanese Patent Office (JP)

(12) Publication of Patent Application (A)

(11) Publication No.: 11183932 A

(43) Date of publication: 09.07.99

(22) Date of filing: 25.12.97

(54) [Title of the invention]

ACTIVE MATRIX TYPE LIQUID CRYSTAL DISPLAY DEVICE

Page 2, 1st column, Claims 1-4

[Claims]

[Claim 1] An active matrix type liquid display device comprising;

an array substrate having a plurality of gate lines arrayed in parallel on the insulated substrate, a plurality of signal lines arrayed onto the gate lines crossing to them, a plurality of pixel electrodes wherein each pixel electrode is installed on the area surrounded by the gate line and the signal line and is connected to the gate line and the signal line via switching element, a plurality of auxiliary capacity line installed on the insulated substrate detached electrically from the gate line and the signal line;

an opposite substrate having an opposite electrode and arrayed opposite to the array substrate;

a liquid composite sealed between the array substrate and the opposite substrate;

wherein each pixel electrode forms a first auxiliary capacity between the adjacent gate line and forms a second auxiliary capacity between the adjacent auxiliary capacity line.

[Claim 2] The active matrix liquid display device according to claim 1, wherein each auxiliary capacity line has an extension part extending from the auxiliary line to the gap between the signal line and the pixel electrode.

[Claim 3] The active matrix liquid display device according to claim 1 or 2, wherein the auxiliary capacity line is installed between the adjacent gate lines and extends parallel to the gate line.

[Claim 4] The active matrix liquid display device according to claim 2, wherein the array substrate having the gate line, the signal line and the substrate installed overlapping to the switching element as overlapping to the gap between the pixel electrode, and the extension part of the auxiliary capacity is installed overlapping to the substrate.



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **11183932 A**(43) Date of publication of application: **09.07.99**(51) Int. Cl. **G02F 1/136**(21) Application number: **09357347**(71) Applicant: **TOSHIBA CORP**(22) Date of filing: **25.12.97**(72) Inventor: **SHIBUSAWA MAKOTO**(54) **ACTIVE MATRIX TYPE LIQUID CRYSTAL
DISPLAY DEVICE**

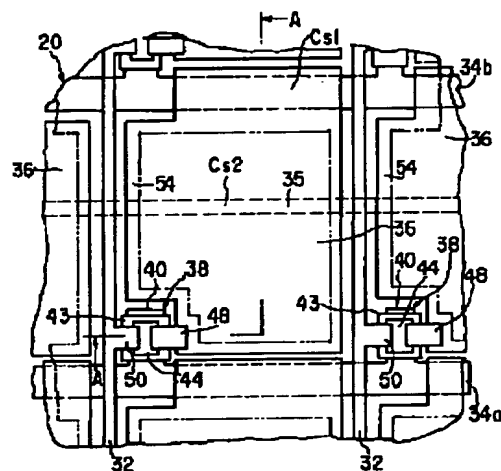
across the auxiliary capacity line.

COPYRIGHT: (C)1999,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To provide an active matrix type liquid crystal display device with a high picture quality and a high numerical aperture by suppressing increase in a punch-through voltage, a time constant of scanning lines, and occurrence of reverse.

SOLUTION: A lot of scanning lines 34a, 34b and signal lines 32 formed on an insulating substrate and auxiliary capacity lines 35 extending in parallel to scanning lines are formed on an array substrate 20 of a liquid crystal display panel. In a region surrounded by the scanning lines and the signal lines, a picture element electrode 36 is formed and connected with the scanning lines and the signal lines via a TFT 38. A part of the picture element electrode is formed overlapping the scanning line 34b and composes a 1st auxiliary capacity Cs1. Moreover, the picture element electrode is formed overlapping the auxiliary capacity line electrically separated from the picture element electrode and the scanning line, and composes a 2nd auxiliary capacity Cs2



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-183932

(43) 公開日 平成11年(1999) 7月9日

(51) IntCl.⁵

G 0 2 F 1/136

識別記号

5 0 0

F I

G 0 2 F 1/136

5 0 0

審査請求 未請求 請求項の数4 O L (全 6 頁)

(21) 出願番号 特願平9-357347

(22) 出願日 平成9年(1997)12月25日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 渋谷 誠

兵庫県姫路市余部区上余部50番地 株式会

社東芝姫路工場内

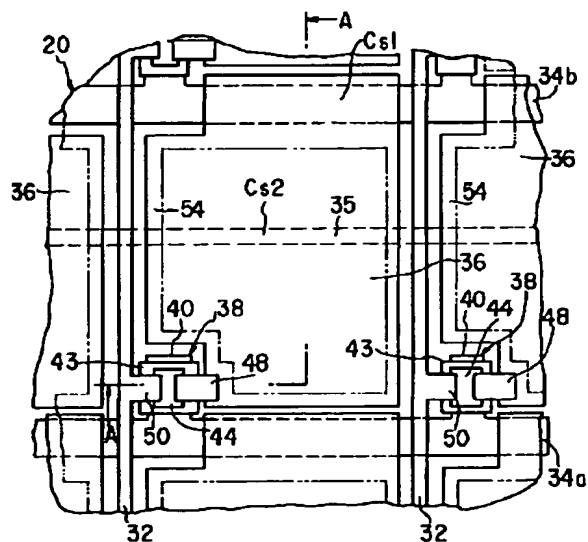
(74) 代理人 弁理士 鈴江 武彦 (外6名)

(54) 【発明の名称】 アクティブマトリクス型液晶表示装置

(57) 【要約】

【課題】 突き上げ電圧 ΔV_r の増加、走査線の時定数増加、リバース発生を抑制し、高画質で開口率の高いアクティブマトリクス型液晶表示装置を提供することにある。

【解決手段】 液晶表示パネルのアレイ基板20上には、絶縁基板上に形成された多数の走査線34a、34bおよび信号線32と、走査線と平行に延びる補助容量線35と、が形成されている。走査線と信号線とで囲まれた領域には、画素電極36が形成させ、TFT38を介して走査線および信号線に接続されている。画素電極の一部は、走査線34bに重ねて形成され第1補助容量Cs1を構成している。また、画素電極は、画素電極および走査線から電気的に分離された補助容量線に重ねて形成され、この補助容量線との間で第2補助容量Cs2を構成している。



【特許請求の範囲】

【請求項 1】絶縁基板上に設けられ互いに平行に延びた多数の走査線と、上記走査線と交差して設けられた多数の信号線と、それぞれ上記走査線と信号線とで囲まれる領域に設けられスイッチング素子を介して上記走査線および信号線に接続された複数の画素電極と、上記走査線および信号線から電気的に分離して上記絶縁基板上に設けられた複数の補助容量線と、を有するアレイ基板と、対向電極を有し上記アレイ基板と対向配置された対向基板と、

上記アレイ基板と対向基板との間に封入された液晶組成物と、を備え、

各画素電極は、隣接する走査線との間で第 1 補助容量を形成しているとともに、上記補助容量線との間で第 2 補助容量を形成していることを特徴とするアクティブマトリクス型液晶表示装置。

【請求項 2】上記各補助容量線は、上記補助容量線から分岐して上記信号線と各画素電極との間隙部分に延出した延出部を有していることを特徴とする請求項 1 に記載のアクティブマトリクス型液晶表示装置

【請求項 3】上記補助容量線は、それぞれ隣合う 2 本の走査線間に設けられ、走査線と平行に延びていることを特徴とする請求項 1 又は 2 に記載のアクティブマトリクス型液晶表示装置。

【請求項 4】上記アレイ基板は、上記画素電極間の隙間を覆うように上記走査線、信号線、スイッチング素子に重ねて設けられたマトリクス状の絶縁層を有し、上記補助容量線の延出部は、上記絶縁層と重なって設けられていることを特徴とする請求項 2 に記載の液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、薄膜トランジスタ（以下、TFT と称する）を用いて TFT アレイ基板を構成したアクティブマトリクス型液晶表示装置に関する。

【0002】

【従来の技術】アクティブマトリクス型液晶表示装置は、クロストークのない高コントラスト比の表示が可能のため、大画面、高精細ディスプレイの開発および製品化が行われている。特に、アクティブマトリクス型液晶表示装置は、透明な絶縁基板上に TFT や MIM をスイッチング素子として設けた直視透過型のディスプレイへの展開が盛んであり、また、大面積基板への形成が容易であるなどの理由から、TFT の半導体層としてアモルファスシリコン（a-Si）を用いるものが多い。

【0003】現在では a-Si TFT を用いた対角 10 インチ級以上の直視透過型液晶表示装置が既に製品化され、さらに大画面、高精細化への開発が盛んになっている。同時に、高輝度化や低消費電力化をめざした高開口率デバイスの開発も盛んに行われている。

【0004】一般に、アクティブマトリクス型の液晶表示装置において、TFT アレイ基板には、多数の走査線が行方向に、多数の信号配線が列方向に形成され、走査配線と信号配線との各交点付近に TFT が配置されている。TFT のゲート電極は走査線に、ドレイン電極は信号配線にそれぞれ接続され、また、ソース電極は画素電極に接続されている。画素電極の一部は、隣接する走査線上に重ねて形成され、補助容量（Cs）を形成している。

10 【0005】また、TFT アレイ基板は、透明な絶縁基板上に Mo などの金属からなるゲート電極と一体の走査線パターンが形成され、この走査線に重ねて SiO などの絶縁物からなるゲート絶縁膜が形成されている。ゲート電極上には、a-Si などの半導体からなる活性層、SiN などの絶縁物からなるチャネル保護膜、不純物がドーピングされた a-Si などの半導体からなるコンタクト層が形成され、TFT を構成している。

20 【0006】TFT 部分以外のゲート絶縁膜上には ITO などの透明導電膜からなる画素電極が形成されている。更に、Al などの金属からなるドレイン電極と一体の信号配線パターンとソース電極とが形成され、ソース電極は画素電極と接続されている。そして、これらの上部の画素電極上を除いた領域には、SiN などの絶縁物からなるパッシベーション膜が形成され、TFT アレイ基板を構成している。

30 【0007】一方、液晶表示装置の対向基板には、透明な絶縁基板上に Cr などの遮光性材料からなるブラックマトリクス（BM）パターンが形成され、その上部に赤、緑、青の着色層が形成され、更に、着色層の上部に ITO などの透明導電膜からなる対向電極が形成されている。

40 【0008】そして、TFT アレイ基板と対向電極基板とを対向して貼り合わせ、その隙間に液晶組成物を封入することにより液晶表示装置が構成されている。このような構成の液晶表示装置の等価回路において、TFT のゲート電極は走査配線に、ドレイン電極は信号配線にそれぞれ接続されている。ソース電極は、対向電極に対して形成される液晶容量（C_{lc}）と前段のゲート配線に対して形成される補助容量（Cs）とに接続されている。また、寄生容量として、ゲート・画素電極間容量（C_{gs}）、および信号配線・画素電極間容量（C_{ps}）も存在している。

【0009】

【発明が解決しようとする課題】上記のように構成されたアクティブマトリクス型の液晶表示装置では、前段のゲート配線電位がオフレベルからオンレベルに切り替わる際、容量結合により次段の画素電極電位が変動する。この画素電位間の変動量（以下、突き上げ電圧と称する）（ΔV_r）は、前段のゲート電位の変化量を ΔV_g とすると、次式で表現される。

$$\Delta V_r = \Delta V_g \times C_s / (C_{ic} + C_s + C_{gs} + C_{ps}) \cdots (1)$$

この ΔV_r は、液晶層へのDC電圧印加成分となり、 ΔV_r が大きくなるとフリッカや電圧透過率(V-T)特性のシフトといった画質不良を招く。

【0010】一方、液晶表示装置では、画素電極以外からの非変調光を遮るために、対向基板にブラックマトリクス(BM)パターンを設けることが一般的である。このBMパターンと画素電極とは、TFTアレ基板上に設けられ、対向基板との合わせ精度を考慮して4~8 μ m程度重なるように設計される。つまり、画素電極はBMパターンと重なり合うため、開口率に寄与しない無効部分が画素電極周囲に存在する。

【0011】そこで、このような無効部分を利用して補助容量を形成するために、信号配線と画素電極との隙間部分に走査線からの延在パターンを存在させ、延在パターンと画素電極とを重ねて形成した液晶表示装置が提案されている。このような液晶表示装置は、以下の2点により開口率を向上することができる。

【0012】一つは、走査線上で形成する補助容量を削減でき、走査線幅を細くすることが可能となる。もう一つは、延在パターンをTFTアレ基板上に形成したBMパターンとして利用し、延在パターンと画素電極との重ね量を少なくすることができる。

【0013】しかしながら、このような構成の液晶表示装置においても、等価回路は前述した液晶表示装置の等価回路と同一であり、突き上げ電圧(ΔV_r)の問題がある。また、走査線の負荷容量を変えないまま走査線の幅を細くすることになるため、走査線の時定数が増加する。走査線の増加は、TFTをオン、オフさせるゲート電位波形を鈍らせ、TFTのオン時間減少やオフタイミングの遅れを引き起こす。そして、TFTのオン時間の減少はコントラスト比の低下、オフタイミングの遅れは解像度の低下、といった画質不良となる。

【0014】更に、別の問題として、延在パターンと画素電極との重なり部分の近傍にリバースが発生し易い領域が生じる点が挙げられる。リバース幅は延在パターンと画素電極との電位差が小さいほど小さくなるが、延在パターンは走査線と同電位であり、その電位設定の自由度は低い。開口率を向上させるために延在パターンと画素電極との重なりを小さくした場合に、リバースが延在パターンと画素電極との重なり部分より開口内部に発生し、画面のざらつきなどの画質不良を起こしやすい。

【0015】以上のような問題に対して、 ΔV_r に絡む不具合を避けるためには、 C_s の量を減らせばよいが、この場合、保持容量($C_{ic} + C_s$)を減らすことになり、アクティブマトリクス型液晶表示装置としての保持性能を満足させることができなくなる。

【0016】配線容量の増加に絡む不具合を避けるためには走査線幅を広げ配線抵抗を下げる方法があるが、この場合、開口率が低下してしまう。また、別の方法とし

て、走査線への給電を走査線の左右両端から行うこともできるが、この場合、走査線駆動用のドライバーIC数が倍増しコストアップとなる。

【0017】リバースの問題に対しては延在パターンと画素電極との重なり量を増せばよいが、開口率を低下させることになる。この発明は、以上の点に鑑みなされたもので、その目的は、走査線と画素電極との間で補助容量を形成する場合に問題となる突き上げ電圧 ΔV_r の増加、走査線の時定数増加、リバース発生を抑制し、高画質で開口率の高いアクティブマトリクス型液晶表示装置を提供することにある。

【0018】

【課題を解決するための手段】上記目的を達成するため、この発明に係るアクティブマトリクス型液晶表示装置によれば、必要な補助容量を画素電極と走査線との間で形成する分と、画素電極および走査線とは電気的に分離された補助容量配線との間で形成する分と、に分割して形成している。

【0019】この構成により、必要な補助容量の一部を、走査線と、この走査線から電気的に分離された補助容量配線と、に対して分割して形成できるため、突き上げ電圧(ΔV_r)を全補助容量と独立に制御可能となる。その結果、突き上げ電圧の低減が容易となり、フリッカやV-T特性のシフトが無いアクティブマトリクス型液晶表示装置を提供することができる。

【0020】また、この発明に係るアクティブマトリクス型液晶表示装置によれば、必要な補助容量を、画素電極と走査線との間で形成する部分と、画素電極および走査線から電気的に分離された補助容量配線との間で形成する部分と、に分割して形成するとともに、補助容量配線から分岐した延出部を信号配線と画素電極との間隙部分に形成している。

【0021】上記構成によれば、上記液晶表示装置と同様な突き上げ電圧(ΔV_r)への効果に加えて、開口率を向上させるために信号配線と画素電極との間隙部分に延出部を形成した場合でも、走査線の負荷容量を増すことがないため、走査線の時定数増加を抑制することができる。また、走査線から電気的に分離された補助容量配線の電位設定の自由度は高いため、延出部と画素電極との重なりが小さい場合でも電位設定によるリバース抑制が可能となる。

【0022】その結果、フリッカ、V-T特性のシフト、コントラスト比の低下、画面ざらつき等の画質低下を低減し、開口率の高いアクティブマトリクス型液晶表示装置を提供することができる。

【0023】

【発明の実施の形態】以下、図面を参照しながら、この発明の実施の形態に係るアクティブマトリクス型液晶表示装置について詳細に説明する。図1に示すように、ア

10

20

30

40

50

クティブマトリクス型液晶表示装置 10 は、液晶表示パネル 12、液晶表示パネルを駆動するための信号線駆動回路基板 14、走査線駆動回路基板 16、各駆動回路基板と液晶表示パネルとを電気的に接続した複数のテープキャリアパッケージ (TCP と称する) 18 を備えている。

【0024】図 1 および図 3 に示すように、液晶表示パネル 12 はアレイ基板 20 および対向基板 22 を備え、これらの基板は、周縁部を図示しないシール剤によって貼り合わせることに、所定のギャップをおいて対向配置されている。そして、アレイ基板 20 と対向基板 22 との間には、光変調層として液晶組成物 26 が封入されている。アレイ基板 20 および対向基板 22 の外表面には、それぞれ偏光板 28、30 が、その偏光軸が直交するように配置されている。

【0025】図 2 および図 3 に示すように、アレイ基板 20 はガラスからなる透明な絶縁基板 31 を有し、この絶縁基板 31 上には、配線として多数の信号線 32 と走査線 34 (34a、34b) とがほぼ直交するようにマトリクス状に設けられている。信号線 32 と走査線 34 とで囲まれる領域には、それぞれ画素電極 36 が設けられ、各画素電極は、スイッチング素子としての薄膜トランジスタ (以下 TFT と称する) 38 を介して、信号線 32 と走査線 34 との交差部に接続されている。また、各画素電極 36 の下方には補助容量配線 35 が形成され、走査線 34 と平行に延びている。

【0026】信号線 32 はアレイ基板 20 の長辺側に引き出され、TCP 18 を介して信号線駆動回路基板 15 に接続されている。また、走査線 34 はアレイ基板 20 の短辺側に引き出され、TCP 18 を介して走査線駆動回路 16 に接続されている。

【0027】以下、アレイ基板 20 の構成を詳細に説明する。図 2 および図 3 に示すように、まず、絶縁基板 31 上に例えば膜厚 2000 オングストローム程度の Mo 金属膜を成膜した後、フォトリソ工程により、ゲート電極 40 と一体の走査線 34a、34b、および補助容量配線 35 を形成する。

【0028】続いて、膜厚 4000 オングストローム程度の SiO 等の絶縁膜から成るゲート絶縁膜 42 を全面に形成する。各 TFT 38 は、ゲート電極 40 上において、ゲート絶縁膜 42 上にアモルファスシリコン膜からなる半導体膜 43 と、半導体膜 43 上に、走査線 34a に自己整合されて成るチャネル保護膜 44 とし

て窒化シリコン膜とを有している。

【0029】そして、半導体膜 43 は、コンタクト層 46 として配置された n+ 型 a-Si 膜およびソース電極 48 を介して画素電極 36 に電気的に接続されている。また、半導体膜 43 は、コンタクト層 46 として配置さ*

$$\Delta V_r = \Delta V_g \times C_{s1} / (C_{lc} + C_{s1} + C_{s2} + C_{gs} + C_{ps})$$

... (2)

* れる n+ 型 a-Si 膜およびドレイン電極 50 を介して信号線 32 に電気的に接続されている。このドレイン電極 50 は、アルミニウム等により信号線 32 と一体に形成されている。

【0030】また、各画素電極 36 は、膜厚 1000 オングストローム程度の ITO 等の透明導電膜をゲート絶縁膜 42 上に成膜した後、フォトリソ工程により形成する。この場合、画素電極 36 は、補助容量線 35 に重ねて、かつ、一部が上段の走査線 34b に重なるように形成する。これにより、画素電極 36 と走査線 34b との間に第 1 補助容量 C_{s1} 、画素電極 36 と補助容量線 35 との間に第 2 補助容量 C_{s2} をそれぞれ形成する。

【0031】最後に、画素電極 36 間の隙間を覆うように信号線 32、走査線 34、TFT 38 に重ねて膜厚 3000 オングストローム程度の窒化シリコン等からなるマトリクス状の保護絶縁膜 54 を形成する。保護絶縁膜 54 は例えば窒化シリコン等により 3000 オングストローム厚程度に形成されている。

【0032】一方、図 3 に示すように、対向基板 22 は透明なガラスからなる透明な絶縁基板 60 を備え、このガラス基板 60 上には、クロム (Cr) の酸化膜からなる遮光層 (BM パターン) 62 が形成されている。遮光層 62 は、アレイ基板 20 上の TFT 38、信号線 32 と画素電極 36 との間隙、および走査線 34 と画素電極 36 との間隙をそれぞれを遮光するように、マトリクス状に形成されている。また、ガラス基板 60 上において、アレイ基板 20 側の画素電極 36 と対向する位置には、赤 (R)、緑 (G)、青 (B) の着色層 64 が形成されている。そして、着色層 64、および遮光層 62 上には、ITO 等の透明導電膜からなる対向電極 68 が形成されている。

【0033】上記のように構成されたアレイ基板 20 および対向基板 22 は、図示しないシール剤によって貼り合わされ、これらの基板間に液晶組成物 26 を封入することにより、液晶表示パネル 14 が形成されている。

【0034】上記構成の液晶表示パネル 14 の等価回路は、図 4 に示すように、TFT 38 のゲート電極 40 が走査線 34a に、ドレイン電極 50 が信号線 32 にそれぞれ接続されている。TFT 38 のソース電極 48 は、液晶容量 (C_{lc}) と、前段の走査線 34b に対して形成される第 1 補助容量 (C_{s1}) と、走査線 34 から電気的に分離された補助容量配線 35 に対して形成される第 2 補助容量 (C_{s2}) と、にそれぞれ接続されている。また、寄生容量として、ゲート・画素電極間容量 (C_{gs}) と信号線・画素電極間容量 (C_{ps}) も同様に存在している。

【0035】上記のように構成された液晶表示装置の場合、突き上げ電圧 ΔV_r は次式で表現される。

上記(2)式において、分母項の内の $Cs1 + Cs2$ が必要となる全補助容量であることを考慮して従来の液晶表示装置における ΔVr の(1)式と比較すると、本実施の形態の ΔVr /従来の $\Delta Vr = Cs1 / (Cs1 + Cs2)$ となることが判る。つまり、突き上げ電圧 ΔVr を $Cs1 / (Cs1 + Cs2)$ だけ低減できる。その結果、本実施の形態に係る液晶表示装置によれば、フリッカやV-T特性のシフトといった画質不良を抑制することができる。

【0036】図5および図6は、この発明の他の実施の形態に係る液晶表示装置の液晶表示パネルを示している。他の実施の形態によれば、各補助容量線35は、その長手方向両端部から信号線32と平行な方向に延出した延出部39をそれぞれ有して形成されている。これらの延出部39は、信号線32と画素電極36との間隙に形成されているとともに、対向基板22側の遮光層62と重なり合って無効部分となる領域に形成されている。他の構成は前述した実施の形態と同一であり、同一部分には同一の参照符号を付してその詳細な説明を省略する。

【0037】上記のように構成された液晶表示装置において、補助容量線35に対して形成する補助容量は、延出部39の有無で変化しないため、延出部を形成した場合、補助容量線35の配線幅は、前述した実施の形態における補助容量線よりも細くなる。従って、補助容量線の負荷容量が変わらないまま配線抵抗だけが大きくなるため、補助容量線の時定数は大きくなる。

【0038】しかしながら 補助容量線は、走査線と異なり、全行共通に同一電位を印加すれば良いため容易に両端給電が可能となる。つまり、走査線から電気的に分離された補助容量線35の時定数制限は、走査線34上だけに補助容量 $Cs1$ を形成する場合に比較して緩和される。そのため、補助容量線35に延出部39を形成することは、走査線からの延出部を形成するよりも容易となる。

【0039】また、補助容量線35の延出部39と画素電極36とが重なった部分におけるリバースについては、以下の理由により、補助容量線から延出部を分岐した方が有利となる。すなわち、補助容量線35の電位は、TFT38のスイッチング動作とは独立に設定できるため、画素電極36が取り得る電位の中間値程度に設定すればよい。例えば、4V程度で液晶組成物26を駆動する場合、画素電極電位のピークトピーク値は8Vであり、その中間に補助容量線電位を設定すれば補助容量線から分岐した延出部39と画素電極36と間の電位差は±4Vとなる。

【0040】一方、走査線34の電位は、TFT38のスイッチング動作に応じて設定される。リバースに関しては、走査線34のオフ電位設定が主に関係するため、そのオフ電位は、画素電極電位の最低値より5V程度低

く設定される。従って、4Vで液晶組成物26を駆動する場合、走査線34から分岐した延出部と画素電極との間の電位差は5〜13Vになる。つまり、補助容量線35から延出部39を分岐した場合、走査線から延出部を分岐する場合に比較して、電位差を1/3以下に低減でき、リバース抑制の効果がある。

【0041】以上のように、他の実施の形態に係る液晶表示装置によれば、突き上げ電圧(ΔVr)の問題を回避した上で、リバースによる画面ざらつきなどの画質劣化が無く、開口率の高いアクティブマトリクス型液晶表示装置を提供することができる。

【0042】

【発明の構成】以上詳述したように、この発明によれば、必要な補助容量を、画素電極と走査線との間で形成する部分($Cs1$)と、画素電極および走査線とは電気的に分離された補助容量線との間で形成する部分($Cs2$)と、に分割して形成していることから、突き上げ電圧(ΔVr)を全補助容量と独立に制御することが可能となり、フリッカやV-T特性のシフトが無いアクティブマトリクス型液晶表示装置を提供することができる。

【0043】また、補助容量線から分岐した延出部を信号線と画素電極との間隙部分に設けることにより、走査線の時定数を増加させることが無く、また、延出部と画素電極との重なり部分に発生しやすいリバースを補助容量線の電位設定で抑制できるため、コントラスト比の低下や画面ざらつきが無く、高い開口率を備えたアクティブマトリクス型液晶表示装置を提供することができる。

【図面の簡単な説明】

【図1】この発明の実施の形態に係るアクティブマトリクス型液晶表示装置を示す斜視図。

【図2】上記液晶表示装置のアレイ基板の一部を概略的に示す平面図。

【図3】図2の線A-Aに沿った断面図。

【図4】上記液晶表示パネルにおける1画素の等価回路を示す図。

【図5】この発明の他の実施の形態に係るアクティブマトリクス型液晶表示装置のアレイ基板の一部を概略的に示す平面図。

【図6】図5の線B-Bに沿った断面図。

【符号の説明】

- 10…液晶表示装置
- 12…液晶表示パネル
- 20…アレイ基板
- 22…対向基板
- 26…液晶組成物
- 32…信号線
- 34、34a、34b…走査線
- 35…補助容量線
- 36…画素電極
- 38…TFT

3 9 ... 延出部
5 4 ... 保護絕緣層
5 6 ... 當接領域
5 8 ... 凹所

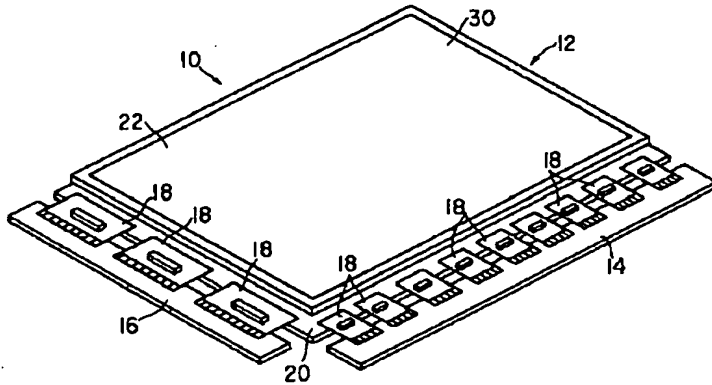
* C s 1、C s 2 ... 補助容量

6 2 ... 遮光層

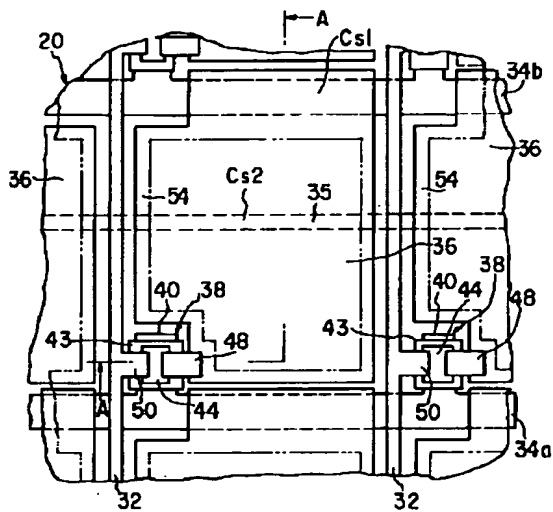
6 4 ... 着色層

* 6 8 ... 對向電極

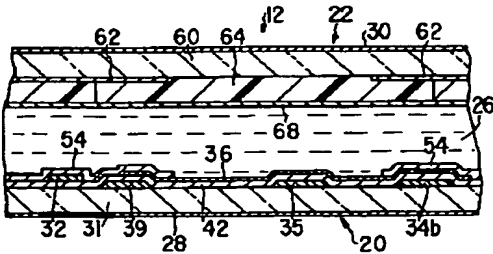
【圖 1】



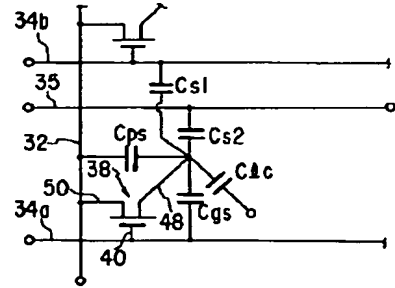
【圖 2】



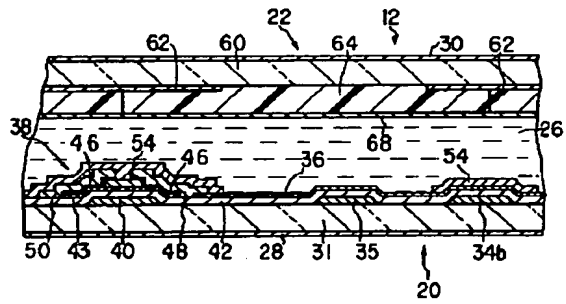
【圖 6】



【圖 4】



【圖 3】



【圖 5】

